

DIALOG(R)File 351:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

012708275 \*\*Image available\*\*

WPI Acc No: 1999-514384/199943

XRPX Acc No: N99-384019

Information write-in controller of NAND type non-volatile semiconductor memory - performs writing operation by controlling potential of depletion layer by second control electrode potential

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
-----------	------	------	-------------	------	------	------

JP 11224940	A	19990817	JP 98121461	A	19980430	199943 B
-------------	---	----------	-------------	---	----------	----------

Priority Applications (No Type Date): JP 97336202 A 19971205

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 11224940	A	16	H01L-027/115	
-------------	---	----	--------------	--

Abstract (Basic): JP 11224940 A

NOVELTY - Writing-in operation is performed by controlling the potential applied to depletion layer formed in the semiconductor area between the memory element and selection element which transmits predetermined potential, by the voltage of another control electrode (22). DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for describing write-in control method of NAND type non-volatile semiconductor memory .

USE - For write-in control of NAND type non-volatile semiconductor memory . Also for write-in control of FG type, nano crystal type, MONOS type and MNOS type non-volatile semiconductor memory .

ADVANTAGE - Incorrect write-in in accordance with a reduction of program voltage is prevented effectively by increasing write-in pulse width. Improves reliability of non-volatile semiconductor memory with excellent characteristic even when low write-in voltage is applied. DESCRIPTION OF DRAWING(S) - The figure depicts the sectional view of semiconductor memory . (22) Control electrode.

Dwg.2/14

Title Terms: INFORMATION; WRITING; CONTROL; NAND ; TYPE; NON; VOLATILE;

SEMICONDUCTOR; MEMORY ; PERFORMANCE; WRITING; OPERATE; CONTROL;

POTENTIAL; DEPLETED; LAYER; SECOND; CONTROL; ELECTRODE; POTENTIAL

Derwent Class: U12; U13; U14

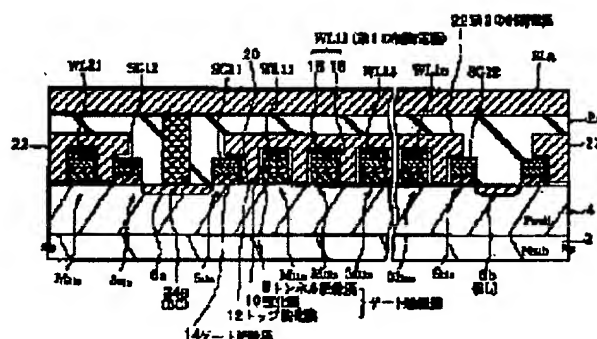
# NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND WRITING METHOD THEREFOR

**Patent number:** JP11224940  
**Publication date:** 1999-08-17  
**Inventor:** AOZASA HIROSHI; HAYASHI YUTAKA; FUJIWARA ICHIRO  
**Applicant:** SONY CORP  
**Classification:**  
 - international: H01L27/115; G11C16/04; H01L21/8247; H01L29/788; H01L29/792  
 - european:  
**Application number:** JP19980121461 19980430  
**Priority number(s):**

## Abstract of JP11224940

**PROBLEM TO BE SOLVED:** To effectively prevent erroneous writing into non-selected cells which accompanies reduction in programming voltage.

**SOLUTION:** A nonvolatile semiconductor memory device has memory cells M11a to M1na, which perform basic information storing operations by injecting or drawing charges into or from charge storage means by applying a voltage to first control electrodes (e.g. word lines WL11 to WL1n) deposited on channel-forming regions of a semiconductor via an insulating film including the charge storage means, and cells (e.g. other memory cells or selected cells) for transmitting a predetermined potential to the channel-forming regions of the memory cells in injecting or drawing the charges. Second control electrodes 22, which are capacitively coupled to semiconductor regions between the memory cells and the cells for transmitting the predetermined potential and control the potential and the formation of inter-cell channels or depletion layer in the semiconductor regions, are formed in impurity regions between cells via an insulating film 20.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-224940

(43)公開日 平成11年(1999) 8月17日

(51)Int.Cl.<sup>6</sup> 識別記号  
H 0 1 L 27/115  
G 1 1 C 16/04  
H 0 1 L 21/8247  
29/788  
29/792

F I  
H 0 1 L 27/10 4 3 4  
G 1 1 C 17/00 6 2 2 Z  
H 0 1 L 29/78 3 7 1

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21)出願番号 特願平10-121461

(22)出願日 平成10年(1998) 4月30日

(31)優先権主張番号 特願平9-336202

(32)優先日 平 9 (1997)12月 5 日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 青 笹 浩

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

(72)発明者 林 豊

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

(72)発明者 藤 原 一 郎

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

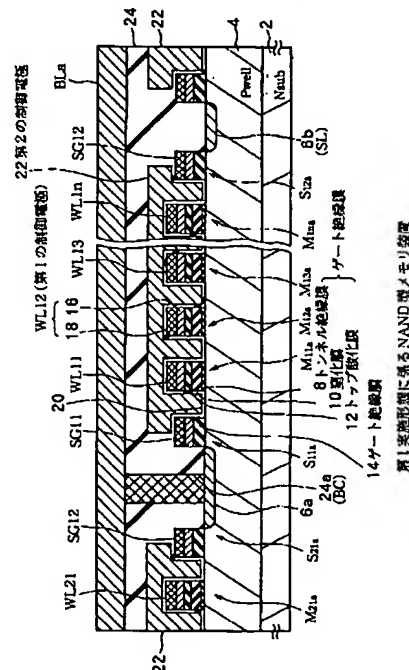
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 不揮発性半導体記憶装置及びその書き込み方法

(57)【要約】

【課題】プログラム電圧の低減に伴う非選択セルへの誤書き込みを有効に防止する。

【解決手段】半導体のチャネル形成領域上に電荷蓄積手段を含む絶縁膜を介して積層された第1の制御電極（例えば、ワード線WL11~WL1n）に電圧を印加し、電荷蓄積手段への電荷の注入又は引き抜きを情報記憶の基本動作とする記憶素子M11a~M1naと、その電荷の注入又は引き抜きの際に記憶素子のチャネル形成領域に所定の電位を伝達する素子（例えば、他の記憶素子又は選択素子）とを有する。また、記憶素子と所定の電位を伝達する素子との間の半導体領域と容量結合し、当該半導体領域に対し素子間チャネルまたは空乏層の形成と電位の制御を行う第2の制御電極22が、当該素子間不純物領域上に絶縁膜20を介して設けられている。



## 【特許請求の範囲】

【請求項1】半導体のチャネル形成領域上に電荷蓄積手段を含む絶縁膜を介して積層された第1の制御電極に電圧を印加し、前記電荷蓄積手段に対し電荷を電氣的に注入し又は当該電荷蓄積手段から電荷を引き抜くことにより情報を記憶する記憶素子と、前記電荷の注入又は引き抜きの際に前記チャネル形成領域に所定の電位を伝達する素子とを有する不揮発性半導体記憶装置であって、前記記憶素子と前記所定電位を伝達する素子との間の半導体領域と容量結合し、当該半導体領域に対し素子間チャネルまたは空乏層の形成と電位の制御を行う第2の制御電極が、当該記憶素子と所定電圧を伝達する素子との間の半導体領域上に絶縁膜を介して設けられている不揮発性半導体記憶装置。

【請求項2】前記チャネル形成領域と、前記記憶素子と前記所定電位を伝達する素子との間の半導体領域とは、同一の不純物添加領域から構成されている請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記記憶素子が複数、行列状に配置されてメモリセルアレイが構成され、前記所定電位を伝達する素子は、行方向又は列方向の複数の記憶素子間で共通な配線と前記記憶素子との接続および遮断を制御する選択素子である請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記記憶素子が複数、行列状に配置されてメモリセルアレイが構成され、前記所定電位を伝達する素子は、行方向又は列方向の複数の記憶素子間で共通な配線からの電圧を前記記憶素子に印加するときは導通する他の記憶素子である請求項1に記載の不揮発性半導体記憶装置。

【請求項5】行方向又は列方向の複数の記憶素子間で共通な配線と前記記憶素子との接続および遮断をそれぞれ制御する複数の選択素子と、当該複数の選択素子の制御電極、前記複数の記憶素子の第1の制御電極、前記第2の制御電極、前記配線の印加電圧をそれぞれ制御して、書き込みを行う選択記憶素子に隣接した前記素子間半導体領域に反転層を形成し、当該反転層に、対応する導通状態の選択素子を介して前記所定電位を供給する一方で、第1の制御電極が前記選択記憶素子と共通接続された非選択な記憶素子に隣接した素子間半導体領域を、対応する選択素子を遮断し電氣的に浮遊状態として空乏化し、当該素子間半導体領域に所定の書き込み阻止電位を誘起させるバイアス制御手段とを更に有する請求項1に記載の不揮発性半導体記憶装置。

【請求項6】ビット線と共通電位線との間に、それぞれ選択素子を介して複数の記憶素子が直列接続されてなる記憶素子列を、行列状に複数配置させてメモリアレイが構成され、前記第2の制御電極が、前記記憶素子列の各記憶素子

間、記憶素子列両端の記憶素子と選択素子間に設けられている請求項1に記載の不揮発性半導体記憶装置。

【請求項7】前記第2の制御電極は、前記第1の制御電極および前記電荷蓄積手段に対し絶縁膜を介して覆うプレート形状を有し、かつ、少なくとも行方向に並ぶ複数の前記記憶素子列間で共通に設けられている請求項6に記載の不揮発性半導体記憶装置。

【請求項8】前記電荷蓄積手段は、少なくとも前記チャネル形成領域と対向する面内で離散化されている請求項1に記載の不揮発性半導体記憶装置。

【請求項9】前記記憶素子は、前記チャネル形成領域上に、トンネル絶縁膜、窒化膜、トップ酸化膜を前記第1の制御電極との間に積層させてなり、前記電荷蓄積手段は、上記積層膜内で離散化して形成された電荷トラップである請求項8に記載の不揮発性半導体記憶装置。

【請求項10】前記記憶素子は、前記チャネル形成領域上に、トンネル絶縁膜、窒化膜を前記第1の制御電極との間に積層させてなり、

前記電荷蓄積手段は、上記積層膜内で離散化して形成された電荷トラップである請求項8に記載の不揮発性半導体記憶装置。

【請求項11】半導体のチャネル形成領域上に、電荷蓄積手段を含む絶縁膜を介して制御電極を積層させてなる複数の記憶素子を行列状に配置させてメモリセルアレイが構成され、前記制御電極にプログラム電圧を印加することにより前記電荷蓄積手段に電荷を電氣的に注入し又は当該電荷蓄積手段から電荷を引き抜いて情報を記憶する不揮発性半導体記憶装置の書き込み方法であって、

書き込みを行う前記記憶素子について、そのチャネル形成領域に隣接した半導体領域に少数キャリアによる反転層を形成し、当該反転層を上記プログラム電圧印加による電位との電位差により書き込みが行われる所定電位で保持して書き込みを行い、前記記憶素子と制御電極同士が接続された情報を書き込まない他の記憶素子について、そのチャネル形成領域に隣接した半導体領域に上記書き込み中に空乏層を形成し、書き込み阻止電位を誘起させる不揮発性半導体記憶装置の書き込み方法。

【請求項12】前記電荷蓄積手段は、少なくとも前記チャネル形成領域と対向する面内で離散化されている請求項11に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項13】前記記憶素子は、前記チャネル形成領域上に、トンネル絶縁膜、窒化膜、トップ酸化膜を前記制御電極との間に積層させてなり、前記電荷蓄積手段は、上記積層膜内で離散化して形成された電荷トラップである請求項12に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項14】前記記憶素子は、前記チャネル形成領域

上に、トンネル絶縁膜、窒化膜を前記制御電極との間に積層させてなり、前記電荷蓄積手段は、上記積層膜内で離散化して形成された電荷トラップである請求項12に記載の不揮発性半導体記憶装置の書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャネル形成領域と制御電極との間の絶縁膜内に電荷蓄積手段を有し、当該電荷蓄積手段に電荷を注入し又は引き抜くことにより、電氣的にデータのプログラムが可能な不揮発性半導体記憶装置とその書き込み方法に関する。特定的には、本発明は、記憶素子の書き込み時間が長い場合でも、当該記憶素子と制御電極同士が接続され書き込みを禁止したい他の記憶素子について、書き込みを禁止できる時間を長くして誤書き込みを有効に防止できる構成の不揮発性半導体記憶装置とその書き込み方法に関する。更に、本発明は、記憶素子間、記憶素子と選択素子間の半導体表面に第2の制御電極により空乏層を誘起して、その空乏層の電位を第2の制御電極の電位により制御することで、書き込み禁止をより確実に行うことができる不揮発性半導体記憶装置とその書き込み方法に関する。

【0002】

【従来の技術】従来、不揮発性半導体メモリ素子は、半導体のチャネル形成領域（素子のチャネルが形成される、例えば半導体基板又はウェル等の表面領域）と制御電極との間に介在させた絶縁膜中に電荷蓄積手段を設け、この電荷蓄積手段に存在する電荷の有無、或いは電荷量に応じてメモリ素子のしきい値（一般には、ゲートしきい値電圧）を変化させ、このしきい値を記憶データ信号の論理状態に対応させている。ここで、電荷を蓄積する電荷蓄積手段には、例えば、FG（フローティングゲート）等の単一導電層、ナノクリスタル等の平面的に離散化されて複数配置され互いに絶縁された小粒径導電体、窒化膜中或いは窒化膜と酸化膜界面に形成され空間的（平面方向および膜厚方向）に離散化された電荷トラップ等がある。この電荷トラップを含むゲート絶縁膜の積層構造の違いに応じて、FG型、ナノ結晶型、MONOS型、MNOS型等の様々な種類の不揮発性半導体メモリ素子が試作、提供されている。

【0003】かかるメモリ素子を多数配置させてメモリセルアレイが構成された不揮発性半導体記憶装置（不揮発性メモリ装置）では、多くの種類のメモリセル方式が提案されているが、その中でもっともセルサイズが小さく大容量化が可能なセル方式として、NAND型がある。NAND型不揮発性メモリ装置は、複数のメモリトランジスタを直列接続してNAND列と称されるメモリブロックを構成し、2個のNAND列で1個のビットコンタクトおよびソース線を共有することにより、1ビットあたりの実効的なセル面積の縮小を可能としたもので

ある。

【0004】図13は、従来のNAND型不揮発性メモリ装置のメモリセルアレイの基本構成を示す回路図である。

【0005】図13中、符号100はメモリセルアレイ、M11a～M1na、M11b～M1nb、M21a及びM21bはメモリトランジスタ、S11a、S12a、S11b、S12b、S21a、S22a、S21b、S22bは選択トランジスタ、BLa、BLbはビット線、WL11～WLn1及びWL21はワード線、SLはソース線、SG11及びSG21はビット線選択信号線、SG12及びSG22はソース線選択信号線、BCはビットコンタクトを示す。ストリングと称される繰返し単位は、ビット線又はソース線に接続された2つの選択トランジスタ（選択ゲート）と、両選択トランジスタ間にn個（nは、例えば8、16、32等の数）のメモリトランジスタを直列接続させたNAND列とから構成されている。ビット線に接続された選択トランジスタS11a、S11b、S21a及びS21bは、ビット線選択信号線SG11又はSG21により制御され、ソース線に接続された選択トランジスタS12a、S12b、S22a及びS22bは、ソース線選択信号線SG12又はSG22により制御される。また、メモリトランジスタM11aとM11b、M12aとM12b、M13aとM13b、M1naとM1nbは、それぞれワード線WL11、WL12、WL13、WLn1により制御される。同様に、メモリトランジスタM21aとM21bは、ワード線WL21により制御される。

【0006】図14は、従来の不揮発性メモリ装置において、図13の左下に位置するNAND列を中心とした列方向断面図である。なお、ここでは、メモリトランジスタをFG（Floating Gate）型とした場合を例示する。図14において、符号2は例えばn型の半導体基板、4は例えばp型のウェル（pウェル）、24は層間絶縁層、24aは層間絶縁層24に開孔されたビットコンタクト孔を示す。ビットコンタクト孔24aは、これに埋め込まれた接続プラグとともに前記ビットコンタクトBCを構成する。各メモリトランジスタM11a～M1naは、pウェル4上に、トンネル絶縁膜40、フローティングゲートFG、ゲート間絶縁膜42、コントロールゲートCGが積層されて構成されている。各メモリトランジスタのコントロールゲートCGは、それぞれワード線WL11～WL1nを構成する。

【0007】選択トランジスタSG11、SG12、SG21は、メモリトランジスタと基本的には同じ積層構造であるが、これら選択トランジスタでは、メモリトランジスタにおいてフローティングゲートFGとなる層とコントロールゲートCGとなる層がゲート間絶縁膜42に設けられた接続孔を介して短絡されている。これによ

り、通常の単層ゲートと同じく、ゲート絶縁膜上のゲート電極層は全て同電位になっており、これによりビット線選択信号線SG11、SG21、及び、ソース線選択信号線SG12が構成されている。

【0008】このように配置されたゲート電極間のスペース領域に位置するpウェル4の表面領域には、メモリトランジスタ及び選択トランジスタのソース・ドレイン不純物領域6cが形成されている。一方の選択トランジスタSG11、SG21のゲート電極の離間スペースに位置するpウェル4の表面領域には、ビット方向の2つのストリング間で共通なドレイン不純物領域6aが形成されている。また、他方の選択トランジスタSG12のゲート電極外側に位置するpウェル4の表面領域には、ビット方向に隣接する他のストリング間で共通な前記ソース線SLをなすソース不純物領域6bが形成されている。

【0009】図14ではFG型を示すが、電荷蓄積手段が平面的に離散化された不揮発性メモリ素子を用いた場合でも、ゲート絶縁膜構造が異なるほかは、従来のNAND型では基本的には図14と同様である。pウェル4とゲート電極（ワード線）との間に、MONOS型ではトンネル絶縁膜、窒化膜及びトップ酸化膜を積層させ、MNOS型ではトンネル絶縁膜と窒化膜を積層させている。また、ナノ結晶型では、pウェル4上のトンネル絶縁膜上の絶縁膜内に小粒径導電体を互いに離散化させて埋め込んでいる。

【0010】つぎに、このような構成のNAND型不揮発性メモリ装置において、メモリトランジスタがノーマリーオン状態と、ノーマリーオフ状態に対応させて2値情報が記憶されている場合を例に、一般的な動作説明を行う。読み出し動作では、読み出すセル（選択セル）が接続されたワード線（選択ワード線）とウェルを0Vに電位固定し、全ての選択トランジスタと、選択ワード線以外のワード線（非選択ワード線）に接続されたメモリトランジスタとの全てが導通するような電圧VRGを、全ての選択信号線と非選択ワード線に印加する。この電圧VRGは、ウェルとの電位差のみでは、メモリトランジスタに書き込みと消去がされない大きさで、例えば5V～7V程度である。この状態で、選択セルが接続されたビット線（選択ビット線）のみ正の電圧を印加すると、情報を読み出すセル以外の全てのメモリトランジスタは導通状態にあるため、選択セルのメモリトランジスタが、ノーマリーオンかノーマリーオフかによって、選択ビット線に電流が流れるか流れないかが決まる。この電流の有無を検出し、記憶データの論理状態“1”又は“0”を判定する。

【0011】消去動作は、通常、ブロック単位で行われ、選択ブロックの全ワード線に0V、非選択NAND列の全ワード線および基板又はウェルに高電圧V<sub>pp</sub>を印加する。その結果、選択ブロックのメモリトランジスタ

のみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、例えばノーマリーオンの消去状態（論理状態は例えば“1”に対応）になる。

【0012】一方、データのプログラム動作は、通常、選択するワード線に接続されたメモリトランジスタ括弧に、いわゆるページ単位で行われる。具体的には、ビット線側の選択トランジスタをオン、ソース線側の選択トランジスタをオフした状態で、選択ワード線に高電圧、非選択ワード線に非選択セルに書き込みは行われないがオンする程度の中間電圧（バス電圧）を印加する。このとき、プログラム（例えば“0”データを記憶）すべきメモリトランジスタが接続された選択ビット線に0V、プログラムを禁止（例えば“0”データを保持）すべきメモリトランジスタのみ接続された非選択ビット線に上記印加高電圧による電位との電位差により書き込みがされない程度に高い中間電位を設定しておく。その結果、プログラムすべき選択メモリトランジスタのみ、フローティングゲート中に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして上記消去状態より高い、例えばノーマリーオフの書き込み状態になる。

【0013】この書き込み動作において、通常、高い負荷容量を有するビット線の充放電により動作時間が律束されるので、ビット線を駆動する電圧を低減して昇圧系回路の負担を軽減することを主な目的として、非選択NAND列のみ選択ゲートでビット線から切り離す技術が、特許公開公報平6-97455号に記載されている。この技術では、非選択ビット線の印加電圧を選択ゲートの印加電圧からしきい値を引いた程度に低減して、非選択NAND列をビット線から切り離すこととしている。この結果、以後はバス電圧やプログラム電圧による自動昇圧により、非選択NAND列のチャネル電位（書き込み阻止電位）が設定されることから、上記文献に記載された技術は、現在、セルフブースト技術として広く知られている。

【0014】

【発明が解決しようとする課題】しかしながら、このセルフブースト技術を、例えば図14の断面図で基本構成を示した従来の不揮発性メモリ装置に適用した場合、以下に示す幾つかの問題がある。

【0015】不揮発性メモリでは、電源電圧の低減、セル微細化が進むにつれてトンネル絶縁膜を更に薄膜化しているが、特にFG型ではストレスリークに起因した膜厚限界が存在することが指摘され、その膜厚限界は理論値でも6nm、現実には8nm程度とされており（日経マイクロデバイス1月号及び2月号、1997年 参照）、トンネル膜厚がスケールリングされないまま低電圧駆動が進むと、書き込み速度が遅くなる可能性がある。第1の問題は、このような理由で書き込み速度が遅い場

合に、データを書き込んでいる選択セルと同じワード線に接続された非選択セルのメモリトランジスタが、誤書き込みされやすいことである。先に挙げた文献（公開公報）によれば、非選択NAND列を有効に書き込み禁止状態にしてしきい値シフトがない時間は、ある一定の上限があり、例えば10 msecを越えとしきい値が上昇することがグラフで示されている。したがって、書き込み時間がこの上限を越えて長くなると、書き込みの最終段階で同じ選択ワード線に接続された非選択セルのメモリトランジスタに電荷が注入されて、多少なりとも書き込みされてしまう。

【0016】この第1の問題は、基本的にはMONOS型、MNOS型等においても同じであるが、MONOS型、MNOS型等では、電荷トラップが離散化されているのでFG型に比べゲート絶縁膜のスケール性に優れるとされることから、プログラム電圧の低下に伴いゲート絶縁膜等のスケールングを行うことで、書き込み時の低電圧化に伴って書き込み速度が低下しにくく、この点ではFG型より有利である。

【0017】第2の課題として、素子の微細化に伴い減少化傾向にある書き込み状態と消去状態のしきい値のシフト量（Vthウインドウ幅）がプログラム電圧の低電圧化に適合しないことが挙げられる。すなわち、従来より低い電圧でプログラムされるように記憶素子のトンネル絶縁膜等が最適化されているNAND型不揮発性メモリにおいて、Vthウインドウ幅もある程度縮小化されないと、特に読み出し時にNAND列の非選択メモリトランジスタをオンさせる電圧を低くできず、しきい値のバラツキに応じて弱く書き込まれる非選択メモリトランジスタが生じやすくなる。この点でも、誤書き込みが発生しやすい傾向にある。

【0018】本発明は、このような実情に鑑みてなされ、プログラム電圧の低減に伴う非選択セルへの誤書き込みを有効に防止する構造の不揮発性半導体記憶装置を提供することを目的とする。また、本発明は、この不揮発性半導体記憶装置において好適に実施でき、プログラム電圧の低減に伴う非選択セルへの誤書き込みを有効に防止できる不揮発性半導体記憶装置の書き込み方法を提供することを他の目的とする。

【0019】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の不揮発性半導体記憶装置では、例えば従来構成のNAND列等、トランジスタが直列接続されるようなセル構成において、そのトランジスタ間に共通な不純物添加領域（ソース・ドレイン領域）がない構成とし、当該半導体領域を、特に選択メモリトランジスタと同一ワード線に接続された非選択メモリトランジスタ側で容量結合によって空乏化させ、これにより書き込み阻止電位を誘起させることとした。すなわち、本発明の不揮発性半導体記憶装

置は、半導体のチャネル形成領域上に電荷蓄積手段を含む絶縁膜を介して積層された第1の制御電極に電圧を印加し、前記電荷蓄積手段に対し電荷を電氣的に注入し又は当該電荷蓄積手段から電荷を引き抜くことにより情報を記憶する記憶素子と、前記電荷の注入又は引き抜きの際に前記チャネル形成領域に所定の電位を伝達する素子とを有する不揮発性半導体記憶装置であって、前記記憶素子と前記所定電位を伝達する素子間の半導体領域と容量結合し、当該半導体領域に対し素子間チャネルまたは空乏層の形成と電位の制御を行う第2の制御電極が、当該記憶素子と所定電位を伝達する素子との間の半導体領域上に絶縁膜を介して設けられている。この所定電位を伝達する素子は、例えばNAND型等の他の記憶素子であってもよく、また、行方向又は列方向の複数の記憶素子間で共通な配線と前記記憶素子との接続と遮断を制御する選択素子であってもよい。

【0020】好ましくは、前記第2の制御電極は、前記第1の制御電極および前記電荷蓄積手段に対し絶縁膜を介して覆うプレート形状を有し、かつ、少なくとも行方向に並ぶ複数の前記記憶素子列間で共通に設けられている。また、好ましくは、行方向又は列方向の複数の記憶素子間で共通な配線と前記記憶素子との接続および遮断をそれぞれ制御する複数の選択素子と、当該複数の選択素子の制御電極、前記複数の記憶素子の第1の制御電極、第2の制御電極、前記配線の印加電圧をそれぞれ制御して、書き込みを行う選択記憶素子に隣接した前記素子間半導体領域に反転層を形成し、当該反転層に、対応する導通状態の選択素子を介して前記所定電位を供給する一方で、第1の制御電極が前記選択記憶素子と共通接続された非選択な記憶素子に隣接した素子間半導体領域を、対応する選択素子を遮断し電氣的に浮遊状態として空乏化し、当該素子間半導体領域に所定の書き込み阻止電位を誘起させるバイアス制御手段とを、更に有する。

【0021】本発明の不揮発性半導体記憶装置の書き込み方法は、半導体のチャネル形成領域上に、電荷蓄積手段を含む絶縁膜を介して制御電極を積層させてなる複数の記憶素子を行列状に配置させてメモリセルアレイが構成され、前記制御電極にプログラム電圧を印加することにより前記電荷蓄積手段に電荷を電氣的に注入し又は当該電荷蓄積手段から電荷を引き抜いて情報を記憶する不揮発性半導体記憶装置の書き込み方法であって、書き込みを行う前記記憶素子について、そのチャネル形成領域に隣接した半導体領域に少数キャリアによる反転層を形成し、当該反転層を上記プログラム電圧印加による電位との電位差により書き込みが行われる所定電位で保持して書き込みを行い、前記記憶素子と制御電極同士が接続された情報を書き込まない他の記憶素子について、そのチャネル形成領域に隣接した半導体領域に上記書き込み中に空乏層を形成し、書き込み阻止電位を誘起させる。

【0022】このような不揮発性半導体記憶装置及びそ



の書き込み方法では、それぞれ所定電位が印加された前記第1及び第2の制御電極の容量結合により、チャンネル形成領域と素子間半導体領域に少数キャリアが引き寄せられて、メモリトランジスタを単数又は複数個含むトランジスタ列ごとに反転層が形成される。ところが、トランジスタ列が複数ある場合、その素子間の半導体領域の表面側部分が配線に電氣的に接続されて、ある電位が供給されている場合と、電位を供給する配線と切り離されている場合とでは、隣接する領域にチャンネルを形成する際に時間差が生じる。このような制御では、例えばセルフブースト技術を用いて書き込みを禁止するNAND型の場合で説明すると、選択ブロックのNAND列端に接続された選択トランジスタがオンしてビット線電位(例えば、0V)が供給されているので、ビット線から少数キャリアが急速に供給されて、この選択ブロックのNAND列は、チャンネルが早く形成される。一方、非選択ブロックでは、ビット線側の選択トランジスタが遮断するので、表面にチャンネル形成領域を有するウェル等は例えば接地電位に固定されているものの、チャンネル形成領域端の表面領域が電位固定されていないことから、少数キャリアの急速な供給源がない。このため、ビット線から所定電位(例えば、接地電位)が供給されている場合と比較してチャンネルの形成が遅く、空乏化した状態が長く保持される。このとき非選択ブロックの素子間半導体領域は、第2の制御電極との容量結合によって電位がブルアップされ、この結果、当該素子間半導体領域、ひいては隣接するチャンネル形成領域に所定の書き込み阻止電位を誘起することが可能となる。

【0023】従来では、非選択ブロックはビット線等の配線に接続されなくても、NAND列の途中で所定間隔でチャンネル形成領域を挟んで交互に、チャンネル形成領域と逆導電型の不純物拡散層(ソース・ドレイン領域)が設けられているので、これが少数キャリアの供給源として機能し、選択ブロックのチャンネル形成より遅いが、それでも比較的速い段階でチャンネルが形成されてしまう。また、チャンネルで連続した素子間の電位差は少なくなり、書き込み禁止をしたい記憶素子のチャンネル形成領域の電位を隣接する記憶素子のチャンネル形成領域の電位よりその絶対値を大きく設定して、書き込み禁止を確実にすることは難しかった。

【0024】これに対し、本発明の不揮発性半導体記憶装置では、このようなキャリア供給源として作用する不純物拡散層がなく、その部分に隣接するチャンネル形成領域でのチャンネル(反転層)の形成を従来より遅くでき、この結果、書き込み禁止時間が長くなる。つまり、誤書き込みに対する時間的なマージンが拡大する。また、このチャンネル形成を遅くできることは、ある時刻でみると、トンネル絶縁膜にかかる電位差に関し、誤書き込みが生じる限界値との電圧マージンが拡大することを意味する。さらに、記憶素子間、記憶素子と選択素子間の半

導体領域表面に空乏層を誘起し、その表面電位を第2の制御電極の電位で制御できるので、書き込み禁止をしたい記憶素子のチャンネル形成領域の表面電位の絶対値を大きく設定することが可能となり、書き込み禁止を確実にすることができる。

【0025】とくに、電荷蓄積手段が平面内で離散化されている場合、上記電圧マージンをさらに大きくできる。FG型では、第2の制御電極の印加電圧を大きくすると、空乏層(素子間半導体領域)の電位が上昇するが容量結合によって電荷蓄積手段(浮遊ゲート)電位もある程度上昇してしまう。これに対し、電荷蓄積手段が平面内で離散化されている場合、これと第2の制御電極とは殆ど容量結合しないので、誤書き込みを引き起こすトンネル絶縁膜にかかる電位差を急速に低下させることができる。

【0026】

【発明の実施の形態】本発明は、記憶素子が、その制御電極の容量結合を利用して電荷蓄積手段(例えば、フローティングゲート、電荷トラップ等)に対し電荷を電氣的に注入し又は引き抜くことを基本動作とし、その記憶素子が、他の記憶素子又は選択トランジスタ等と直列接続されるセル構成を有する不揮発性半導体記憶装置に広く適用される。このような不揮発性半導体記憶装置であれば、記憶素子の種類に限定はなく、通常のFG(Float ing Gate)型のほか、MNOS(Metal-Nitride-Oxide Semiconductor)、MONOS(Metal-Oxide-Nitride-Oxide Semiconductor)、更にはナノ結晶型等に適用可能である。また、メモリセル方式に限定はなく、NAND型のほか、NOR型(ビット線、ソース線が階層化されたもの、例えばDINOR型或いはAND型を含む)に適用可能である。以下、MONOS、MNOS型及びFG型FETを記憶素子として有するNAND型不揮発性メモリ装置を例として、本発明に係る不揮発性半導体記憶装置及びその製造方法の実施形態を、図面にもとづいて詳細に説明する。

【0027】第1実施形態

本実施形態は、MONOS型に関するものである。図1は、本実施形態に係るNAND型不揮発性メモリ装置のメモリセルアレイの回路構成図である。また、図2は、本実施形態に係るNAND列(図1の左下のNAND列に対応)の断面構造図である。

【0028】図1において、各ビット線BLa、BLbには、それぞれ2本のトランジスタ列(ストリング)が接続されている。ビット線BLaに接続された第1のストリングは、ビット線BLaに接続された選択トランジスタS11aと、ソース線SLに接続された選択トランジスタS12aと、両選択トランジスタ間に直列接続されたn個のメモリトランジスタM11a~M1naとからなる。ビット線BLaに接続された第2のストリングは、ビット線BLaに接続された選択トランジスタS2



1aと、ソース線SLに接続された選択トランジスタS22aと、両選択トランジスタ間に直列接続されたn個のメモリトランジスタM21a…とからなる。同様に、ビット線BLbにも2本のストリングが接続されており、その第1のストリングは、ビット線BLbに接続された選択トランジスタS11bと、ソース線SLに接続された選択トランジスタS12bと、両選択トランジスタ間に直列接続されたn個のメモリトランジスタM11b～M1nbとからなる。ビット線BLbに接続された第2のストリングは、ビット線BLbに接続された選択トランジスタS21bと、ソース線SLに接続された選択トランジスタS22bと、両選択トランジスタ間に直列接続されたn個のメモリトランジスタM21b…とからなる。

【0029】選択トランジスタS11aおよびS11bは、ともにビット線選択信号線SG11により制御され、選択トランジスタS12aおよびS12bは共にソース線選択信号線SG12により制御される。同様に、選択トランジスタS21aおよびS21bは、ともにビット線選択信号線SG21により制御され、選択トランジスタS22aおよびS22bは共にソース線選択信号線SG22により制御される。また、メモリトランジスタM11aとM11b、M12aとM12b、M13aとM13b、…、M1naとM1nbは、それぞれワード線WL11、WL12、WL13、…、WL1nにより制御される。同様に、メモリトランジスタM21aとM21bは、ワード線WL21により制御される。

【0030】このように相互接続される各ストリングにおいて、図2の断面に示すように、例えばn型の半導体基板2内の表面側に、例えばp型のウェル（pウェル4）が形成され、当該pウェルの表面側にトランジスタ列が配置させている。

【0031】メモリトランジスタM11a～M1naは、そのpウェル4上に、トンネル絶縁膜8、窒化膜10、トップ酸化膜12、からなるゲート絶縁膜が構成されている。また、ゲート絶縁膜上に、ポリシリコン層16と、その上の高融点金属シリサイド層18からなるワード線WL11～WL1nが積層されている。このワード線は、本発明の“第1の制御電極”に該当する。また、ポリシリコン層と高融点金属シリサイド層からなる第1の制御電極下方のpウェル表面部分が本発明における“チャネル形成領域”、当該第1の制御電極間のpウェル表面部分が本発明における“素子間半導体領域”に該当する。

【0032】選択トランジスタS11a、S12a等は、通常のMOSFETで構成される。したがって、そのゲート絶縁膜14は、シリコン酸化膜のみで構成されている。選択トランジスタS11a、S12aの各ゲート電極層は、それぞれビット線選択信号線SG11、ソース線選択信号線SG12を構成する。

【0033】本実施形態の不揮発性メモリの構造的な特徴の一つは、メモリトランジスタ間、メモリトランジスタと選択トランジスタ間のpウェル4の表面領域（素子間半導体領域）に、このpウェル4と逆導電型の不純物領域（従来例を示す図14におけるソース・ドレイン領域6c）が形成されていないことである。他の逆導電型の不純物領域、即ちビット方向の一方側に隣接する他のストリングと共通な逆導電型のドレイン不純物領域6aと、他方の隣接ストリング間で共通な逆導電型のソース不純物領域6b（ソース線SL）は、従来と同様に設けられている。

【0034】本実施形態の不揮発性メモリの構造的な他の特徴は、トランジスタ列上に例えば酸化シリコンからなる層間絶縁層20を介して、第2の制御電極22が設けられていることである。この第2の制御電極22は、例えば各トランジスタ列ごと、その一方の選択トランジスタの上方から他方の選択トランジスタの上方にかけて一枚のプレート状に形成されている。そして、第2の制御電極22は、各メモリトランジスタ間、或いはメモリトランジスタと選択トランジスタ間の素子間半導体領域に対し層間絶縁層20を介して近接しており、当該制御電極22の印加電圧に応じて、その下方のpウェル4表面部分（素子間半導体領域）において素子間チャネルまたは空乏層の形成ならびに電位を制御する。

【0035】第2の制御電極22上を含む全面に、比較的に厚い層間絶縁層24が成膜され、ビットコンタクトBCは、この層間絶縁層24について前記ドレイン不純物領域6a上で開孔されたコンタクト孔24a内を、例えばTi/TiN等の密着層を介在させてW等の金属プラグで埋め込むことにより形成されている。ビットコンタクトBCによりトランジスタ列と接続するかたちで、ビット線BLaが層間絶縁層24上に配線されている。ビット線BLaは、特に図示しないが、通常、例えばAl等の主配線層の上下を、反射防止層（又は保護層）とバリアメタルで挟んだ3層構造を有している。

【0036】このような構成のNAND型不揮発性メモリ装置では、メモリトランジスタと隣接する他のトランジスタ間に不純物領域がないので、後述するように誤書き込みが有効に防止される利点がある。

【0037】つぎに、製造方法について説明する。図3～図6は、上述した構成の不揮発性メモリ装置の各製造過程を示す断面図である。

【0038】この図3に先立って、まず、用意した基板（n型半導体基板2）の表面部分に、例えばLOCOS又はトレンチによる素子分離領域を形成する。この素子分離領域は、断面図には現れないが、各トランジスタ列と交互にビット方向に長い平行ストライプ状に形成され、これにより主に行方向の素子分離が達成される。

【0039】ついで、図3（a）に示すように、基板内の表面部分にpウェル4をイオン注入法により形成す

る。なお、このpウェル4は、エピタキシャル成長層、基板（石英、サファイア基板等の半導体以外も可）上に絶縁層を介して形成したSOI層等で代替できる。pウェル4表面を例えば熱酸化することにより、トンネル絶縁膜8を形成する。トンネル絶縁膜8は、酸化シリコンのほか、熱酸化シリコンを熱窒化処理することにより、その表面部分或いは全ての熱酸化シリコンを窒化酸化シリコンとしてもよい。トンネル絶縁膜8上に、例えば窒化シリコンからなる窒化膜10をCVD法等により成膜する。

【0040】つぎに、図4（b）に示すように、メモリトランジスタ列が形成される部分にのみ被膜するレジストパターンRPを形成し、これをマスクに下地の窒化膜10をエッチングし、選択トランジスタが形成される部分の窒化膜を除去する。このエッチングの際に、トンネル絶縁膜8は少なくとも一部残して、基板側にエッチングダメージが導入されないようにすることが望ましい。

【0041】続く図4（c）では、熱酸化を行う。先の工程でトンネル絶縁膜8を少なくとも一部残した場合、熱酸化の前処理等のウェット処理で完全に除去することが望ましい。この熱酸化により、ウェル4がほぼ表出した選択トランジスタ部には、選択トランジスタのゲート絶縁膜14となる熱酸化膜が厚く形成される一方、窒化膜10上では、メモリトランジスタのトップ酸化膜12となる熱酸化膜が薄く形成される。このとき、窒化膜10が膜減りして最終的な所望の窒化膜厚が得られる。

【0042】図5（d）では、熱酸化膜12、14上に、不純物が導入されて導電化されたポリシリコン層16と、高融点金属シリサイド層18を、通常のポリサイド形成法により積層させる。

【0043】続く図5（e）では、レジストパターンRPを用いて、これをマスクに下地の積層膜をエッチングし、平行ストライプ状のワード線WL11～WL1n等と、選択信号線SG11、SG12等を同時形成する。この図では、シリコン層が表出するまで全てエッチオフしているが、基板側へのダメージ導入を抑制するには、全ての領域に最下層の酸化膜を部分的に残し、後でウェットエッチングにより除去してもよい。

【0044】つぎに、レジストパターンRPを除去後、図6（f）に示すように、例えば酸化シリコン等の第1の層間絶縁層20を全面に薄く成膜する。この成膜は、例えば熱酸化又はCVDの何れかの方法によって形成する。ワード線等がポリシリコンでなる場合、熱酸化法が採用できる。ワード線等がポリサイドの場合は、CVD法による。その後、第2の制御電極22となる導電層を全面に、しかもゲート電極間を埋め込むように成膜し、これを図示せぬレジストパターンをマスクとしてエッチング加工する。これにより形成された第2の制御電極22は、素子間チャネルまたは空乏層の形成ならびに電位を制御するために、少なくともメモリトランジスタの電

極間を覆っている必要がある。第2の制御電極はトランジスタ電極間のスペース毎に分離された埋め込みライン状に形成し、図示しない箇所でも電氣的に接続させる構成でもよい。この第2の制御電極22、又はその形成マスクのレジストパターンを付けたままで、これをマスクにイオン注入を行い、第1の層間絶縁層20をスルー膜としてpウェル4の表面部分にドレイン不純物領域6aと、ソース線SLとなるソース不純物領域6bを同時形成する。

10 【0045】その後は、図2に示す如く、厚い第2の層間絶縁層24を堆積して平坦化し、ビットコンタクト孔24aの開孔、接続プラグの埋め込み、ビット線の配線等を行うことによって、当該不揮発性メモリ装置を完成させる。

【0046】つぎに、このような構成のNAND型不揮発性メモリ装置において、メモリトランジスタのデータ書き込み、消去及び読み出しの動作説明を行う。このメモリトランジスタは2値情報のほかに、多値情報を記憶する場合も本発明は適用できるが、ここでは、ノーマリーオンとノーマリーオフの2つの状態間での動作説明を行う。なお、多値の場合は、プログラム時或いは読み出し時のワード線電圧又はビット線を段階的に、例えば正方向にシフトさせて行うことから、基本的な動作は同じである。

【0047】まず、読み出し動作では、読み出すセル（選択セル）が接続されたワード線（選択ワード線）とウェルを0Vに電位固定し、全ての選択トランジスタと、選択ワード線以外のワード線（非選択ワード線）に接続されたメモリトランジスタとの全てが導通するような電圧VRGを、全ての選択信号線と非選択ワード線に印加する。この電圧VRGは、ウェルとの電位差のみでは、メモリトランジスタに書き込みと消去がされない大きさである。また、前記第2の制御電極に印加する電圧は、読み出すセルを含むNAND列において、その素子間チャネルが形成される電圧が選択される。この状態で、選択セルが接続されたビット線（選択ビット線）のみ正の電圧を印加すると、情報を読み出すセル以外の全てのメモリトランジスタは導通状態にあるため、選択セルのメモリトランジスタが、ノーマリーオンかノーマリーオフかによって、選択ビット線に電流が流れるか流れないかが決まる。この電流の有無を検出し、記憶データの論理状態“1”又は“0”を判定する。

【0048】消去動作は、従来と同様に、ブロック単位又はメモリセルアレイ一括して行われ、全ての選択トランジスタをオフした状態で、消去単位的全ワード線に0V、非選択NAND列の全ワード線および基板又はウェルに高電圧V<sub>pp</sub>を印加する。その結果、選択ブロックのメモリトランジスタのみ、基板側から正孔が窒化膜および窒化膜と酸化膜の界面付近に存在する捕獲準位（電荷トラップ）に注入され、メモリトランジスタのしきい値

電圧は負方向にシフトして、例えばノーマリーオンの消去状態（論理状態は例えば“1”に対応）になる。

【0049】一方、データのプログラム動作では、ワード線に接続されたメモリトランジスタ一括に、いわゆるページ単位で行われる。具体的には、通常、選択ブロック行のソース側に近いページから書き込みを行うが、まず、ソース線側の選択トランジスタをオフした状態で、選択ビット線に例えば0V、ビット線側の選択トランジスタのゲート（ビット線選択信号線）および非選択ビット線に例えば電源電圧 $V_{DD}$ 程度（例えば5V程度）を印加しておく。そして、非選択ワード線には、非選択セルが導通する程度の電圧、選択ワード線には高いプログラム電圧 $V_p$ を印加する。すると、選択ブロックのNAND列端に接続された選択トランジスタがオンしてビット線電位（例えば、0V）が供給されているので、ビット線から少数キャリアが急速に供給されて、この選択ブロックのNAND列は、チャンネルが早く形成される。その結果、プログラムすべき選択メモリトランジスタのみ、窒化膜中および窒化膜と酸化膜との界面付近に存在する捕獲準位に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして上記消去状態より高い、例えばノーマリーオフの書き込み状態になる。

【0050】一方、非選択ブロックでは、そのビット線側の選択トランジスタがビット線選択信号線の印加電圧から選択ゲートのしきい値電圧を引いた僅かな電位上昇で導通状態から遮断状態に移るので、表面にチャンネル形成領域を有するウェル自体は接地電位に固定されているものの、チャンネル形成領域端の表面領域が電位固定されていないことから、また、従来のように素子間に共通なソース・ドレイン不純物領域がなく、少数キャリアの急速な供給源がない。このため、ビット線から所定電位（例えば、接地電位）が供給されている選択NAND列側と比較してチャンネルの形成が遅く、空乏化した状態が長く（一定時間）保持される。そして、この空乏層が形成されている間に、非選択NAND列の素子間半導体領域はその電位が第2の制御電極22との容量結合によってプルアップされ、この結果、当該素子間半導体領域、ひいては隣接するチャンネル形成領域に所定の書き込み阻止電位が誘起され、誤書き込み防止が達成される。

【0051】このように本実施形態では、従来でソース・ドレイン不純物領域が形成されていた素子間半導体領域を第2の制御電極22との容量結合により空乏化した状態でセルフブーストすることから、この間にプログラム電圧 $V_p$ の印加パルス（書き込みパルス）が終了する時間的な余裕が生じ、即ち書き込み禁止時間が長くなる。結果として、誤書き込みに対する時間的なマージンが拡大する。また、このチャンネル形成を遅くできることは、ある時刻でみると、トンネル絶縁膜にかかる電位差に関し、誤書き込みが生じる限界値との電圧マージンが拡大することを意味する。とくに、本例では電荷蓄積手

段が平面内で離散化されているので、上記電圧マージンをさらに大きくできる。すなわち、FG型では第2の制御電極の印加電圧を大きくすると、空乏層（素子間半導体領域）の電位が上昇するが第2の制御電極との容量結合によって電荷蓄積手段（浮遊ゲート）電位もある程度上昇してしまうが、本例では電荷蓄積手段が平面内で離散化されているので、これと第2の制御電極とは殆ど容量結合しないので、誤書き込みを引き起こすトンネル絶縁膜にかかる電位差を急速に低下させることができる。

【0052】不揮発性メモリ装置では、プログラム動作が、一般に、書き込みパルスによるプログラムによって所望のしきい値が得られたかを検証する一種の読み出し動作を繰り返しながら実行される。すなわち、プログラム後の検証において所望のしきい値が得られると、そのメモリトランジスタについては、セルフブースト動作により書き込み禁止状態を設定しながら次のプログラムを行い、再度しきい値を検証する。これをワード線に接続されたメモリトランジスタ全てのしきい値について、所望の値が得られるまで繰り返し行う。

【0053】本実施形態の不揮発性メモリ装置及びその書き込み方法では、書き込み禁止時間を長くできることによって書き込みパルス幅を従来より大きくした制御が可能であり、特に最終的に制御するしきい値の許容幅が狭い多値メモリ技術において、書き込みパルス幅の制御の自由度が増大する利点がある。また、プログラム電圧が低電圧化された場合に、素子のスケールが低電圧化に適合しない等の理由から書き込み時間が遅くなる場合でも、有効に誤書き込みを防止できる。さらに、プログラム電圧が低電圧化傾向にあって、これに $V_{th}$ ウィンドウ幅の縮小化が追いつかない場合、読み出し時の非選択メモリトランジスタを全てオンさせるには、そのゲートに印加されるバス電圧の低下をなかなか進めることができないが、本発明によりチャンネル形成がされにくいことは、従来では弱い書き込み状態となる高いバス電圧のままでも誤書き込みが起きにくい作用をとれない、その意味でも、誤書き込みを有効に防止できる。

#### 【0054】第2実施形態

本実施形態は、MNOS型不揮発性メモリ装置についてである。本実施形態の不揮発性メモリ装置は、そのメモリトランジスタを第1実施形態のMONOS型からMNOS型に変更したこと以外、図1に示す基本的なセルアレイの回路構成、動作は第1実施形態と変わらない。したがって、ここでは、NAND列の断面構造と製造方法のみを説明し、他は省略する。また、断面構成において重複する構成は、同じ符号を付して詳しい説明はしない。

【0055】図7は、本発明の第2実施形態に係る不揮発性メモリ装置において、そのNAND列のビット方向断面図である。本実施形態のメモリトランジスタM11a～M11nは、そのゲート絶縁膜が、pウェル4上に

トンネル絶縁膜30、窒化膜32を積層させてなる。また、選択トランジスタのゲート絶縁膜34は、第1実施形態と同様、酸化シリコンの膜のみから構成させてもよいが、ここでは酸化シリコン膜と窒化シリコン膜との積層膜としている。この場合、下層のシリコン酸化膜厚が例えば10nm程度の比較的に厚いことからメモリ素子として機能しない。このNAND型不揮発性メモリ装置は、第1実施形態と同様、メモリトランジスタと隣接する他のトランジスタ間に不純物領域がないので、誤書き込みが有効に防止される利点がある。

【0056】図8～図11は、上述した構成の不揮発性メモリ装置の各製造過程を示す断面図である。まず、第1実施形態と同様にして、用意した基板2に素子分離領域と、pウェル4を形成し、pウェル4表面を例えば熱酸化することにより、10nmほどの比較的に厚いゲート酸化膜5を形成する(図8(a))。

【0057】図9(b)に示すように、このゲート酸化膜5上にレジストパターンRPを形成し、これをマスクとしたエッチングにより、メモリトランジスタ部のゲート酸化膜5を除去する。続く図9(c)では、熱酸化法により、メモリトランジスタのトンネル絶縁膜30を形成する。このとき、ゲート酸化膜5は僅かに酸化膜厚が増大する。なお、トンネル絶縁膜30は、一旦熱酸化シリコン膜を形成した後、少なくとも表面部分を熱窒化してもよい。また、トンネル絶縁膜30上に、窒化膜32を例えばCVD法により数十nmと比較的に厚く堆積する。

【0058】以後は、第1実施形態と同様に、ポリシリコン層16と高融点金属シリサイド層18とからなるポリサイドを形成し(図10(d))、レジストパターンRPを用いて、これをマスクに下地の積層膜をエッチングしてワード線WL11～WL1n等と選択信号線SG11、SG12等を同時形成する(図10(e))。また、レジストパターンRPを除去後、第1の層間絶縁膜20を薄く形成し(図11(f))、この上に第2の制御電極22を形成した後(図11(g))、第2の層間絶縁膜24の堆積、ビットコンタクトBCの形成、ビット線BLaの配線等の諸工程を経て、当該不揮発性メモリを完成させる。

【0059】本実施形態の不揮発性メモリ装置においても、第1実施形態と同様な利点を有する。すなわち、従来のようにNAND列内のpウェル内表面側に、これと逆導電型の不純物領域を有しないので、セルフブーストにより非選択NAND列の書き込み禁止において、その書き込み禁止時間を長くできる。そのため、プログラム電圧の低電圧化により書き込み速度が遅い場合、この低電圧化に伴ってVthウインドウ幅の縮小化が追いつかない場合等にあっても、誤書き込みが有効に防止できる。また、書き込みパルス幅の制御の自由度が増大する。

【0060】第3実施形態

本実施形態は、FG型不揮発性メモリ装置についてである。本実施形態の不揮発性メモリ装置は、そのメモリトランジスタを第1実施形態のMONOS型からFGに変更したこと以外、図1に示す基本的なセルアレイの回路構成、動作は第1実施形態と変わらない。

【0061】図12は、本第3実施形態に係るFG型不揮発性メモリ装置において、そのNAND列のビット方向断面図である。この図12に示されるように、トンネル絶縁膜8と中間絶縁膜40(第1実施形態のトップ酸化膜に相当)との間に、第1実施形態の窒化膜に代えて、例えばポリシリコンからなるフローティングゲート42が介在する。中間絶縁膜40は、第1実施形態のトップ酸化膜と同様、酸化シリコン或いはONO膜等で構成される。同じ符号を付した他の構成は、第1実施形態と同じである。

【0062】このような構成のFG型不揮発性メモリ装置の製造方法は、第1実施形態における図3で窒化膜10でなくポリシリコン膜を成膜し、これを図4(b)でパターンニングすること、図4(c)でトップ酸化膜12と同様にして、中間絶縁膜を形成すること、図5(e)の電極加工時に当該中間絶縁膜とポリシリコン膜を同時にパターンニングすること以外、第1実施形態の製造方法を示す図3～図6と同様に行うことができる。

【0063】本実施形態の不揮発性メモリ装置においても、第1実施形態と同様な利点を有する。すなわち、従来のように素子間に不純物拡散領域を有しないので、セルフブーストによる書き込み禁止において書き込み禁止時間を長くでき、非選択NAND列の誤書き込みが有効に防止でき、また書き込みパルス幅の制御の自由度が増大するといった数々の利点を有する。

【0064】

【発明の効果】本発明に係る不揮発性半導体記憶装置及びその書き込み方法によれば、プログラム電圧の低下にともなう誤書き込みを有効に防止し、遅い書き込み制御、例えば書き込みパルス幅を長くするといった場合の自由度が増大する。よって、微細化、低電圧書き込み化を推進した場合でも信頼性及び特性が優れた不揮発性半導体記憶装置と、その書き込み方法を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るNAND型不揮発性メモリ装置のメモリアレイの構成を示す回路図である。

【図2】本発明の第1実施形態に係り、図1の左下に位置するストリングを中心としたビット方向の断面図である。

【図3】図2のNAND型不揮発性メモリ装置の各製造過程を示す断面図であり、ゲート絶縁膜を構成する窒化膜の成膜までを示す。

【図4】図3に続く同断面図であり、ゲート絶縁膜を構成するトップ酸化膜の成膜までを示す。

【図5】図4に続く同断面図であり、ワード線及び選択信号線とゲート絶縁膜のエッチング加工までを示す。

【図6】図5に続く同断面図であり、第2の制御電極形成までを示す。

【図7】本発明の第2実施形態に係り、図1の左下に位置するストリングを中心としたビット方向の断面図である。

【図8】図7のNAND型不揮発性メモリ装置の各製造過程を示す断面図であり、選択トランジスタのゲート絶縁膜となる酸化膜形成までを示す。

【図9】図8に続く同断面図であり、ゲート絶縁膜を構成する窒化膜の成膜までを示す。

【図10】図9に続く同断面図であり、ワード線及び選択信号線とゲート絶縁膜のエッチング加工までを示す。

【図11】図10に続く同断面図であり、第2の制御電極形成までを示す。

【図12】本発明の第3実施形態に係り、図1の左下に位置するストリングを中心としたビット方向の断面図で\*

\*ある。

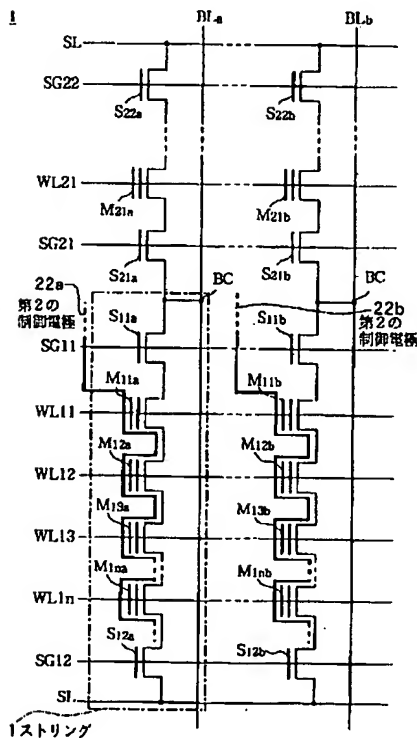
【図13】従来のNAND型不揮発性メモリ装置のメモリアレイの構成を示す回路図である。

【図14】従来例に係る図1の左下に位置するストリングを中心としたビット方向の断面図である。

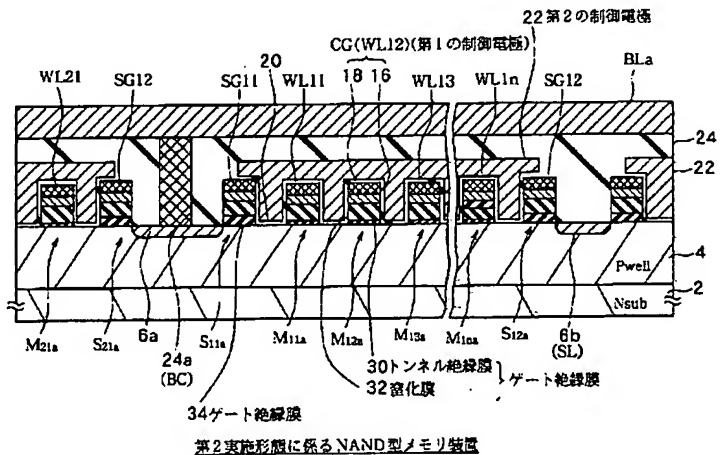
【符号の説明】

1…メモリセルアレイ、2…半導体基板、4…pウェル、5…酸化膜、6a～6c…不純物領域、8、30…トンネル絶縁膜、10、32…窒化膜、12…トップ酸化膜、14、34…ゲート絶縁膜、16…ポリサイド層、18…高融点金属シリサイド層、20…第1の層間絶縁層（絶縁膜）、22…第2の制御電極、24…第2の層間絶縁層、40…中間絶縁膜、42、FG…フローティングゲート、M11等…メモリトランジスタ、ST11a、ST21a等…選択トランジスタ、CG…コントロールゲート、SG11、SG12等…選択信号線、BLa等…ビット線、WL11等…ワード線、BC…ビットコンタクト。

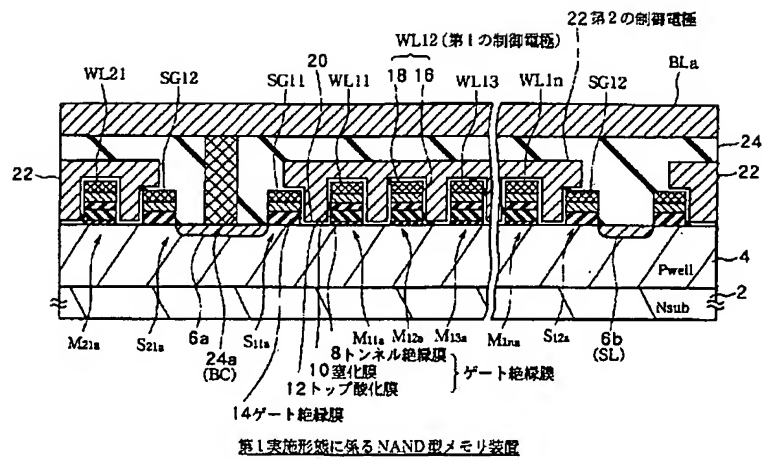
【図1】



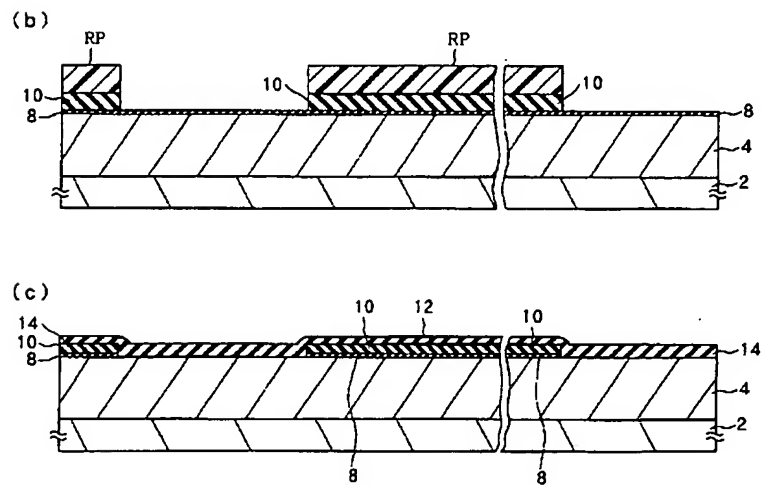
【図7】



【図3】



【図4】



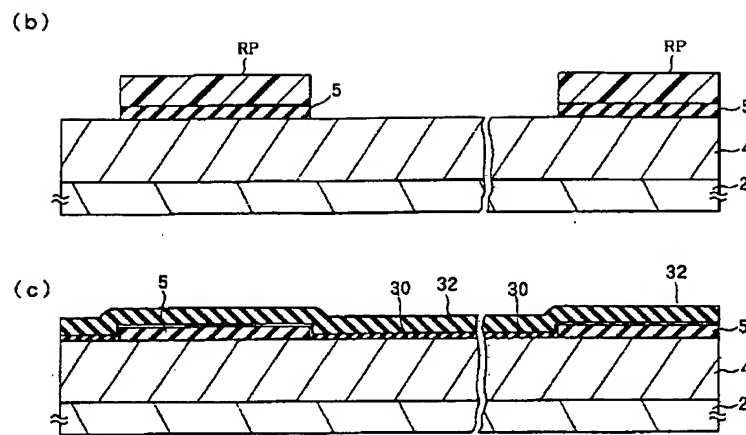
(d) 16 18 12 10 8 4 2

(e) RP WL21 SG21 SG11 WL11 WL12 WL13 WLn SG12 RP 14 8 10 12 14 4 2

Figure 1 shows two cross-sectional views of a semiconductor device. View (f) shows a first embodiment where a gate stack (10) is formed on a substrate (8). The gate stack includes a gate dielectric (12) and a gate electrode (14). The gate electrode is patterned to form gate lines (WL11, WL12, WL13, WL1n) and source/drain regions (SG11, SG12). The source/drain regions are formed by a first conductive layer (20) and a second conductive layer (22). View (g) shows a second embodiment where the gate stack (10) is formed on a substrate (8). The gate stack includes a gate dielectric (12) and a gate electrode (14). The gate electrode is patterned to form gate lines (WL11, WL12, WL13, WL1n) and source/drain regions (SG11, SG12). The source/drain regions are formed by a first conductive layer (20) and a second conductive layer (22). The second conductive layer (22) is patterned to form a second gate line (WL21) and a second source/drain region (SG21). The second source/drain region (SG21) is formed by a first conductive layer (20) and a second conductive layer (22). The second conductive layer (22) is patterned to form a second gate line (WL21) and a second source/drain region (SG21). The second source/drain region (SG21) is formed by a first conductive layer (20) and a second conductive layer (22). The second conductive layer (22) is patterned to form a second gate line (WL21) and a second source/drain region (SG21). The second source/drain region (SG21) is formed by a first conductive layer (20) and a second conductive layer (22).

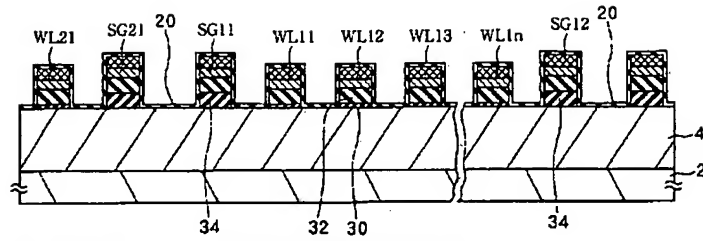


【圖9】

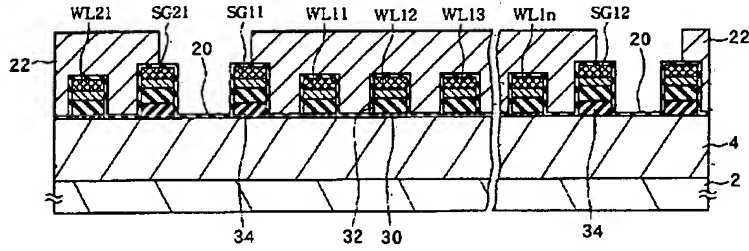


【図11】

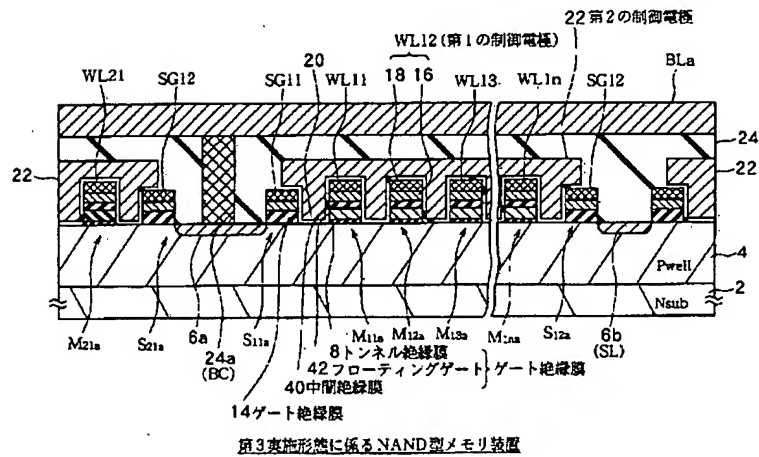
(f)



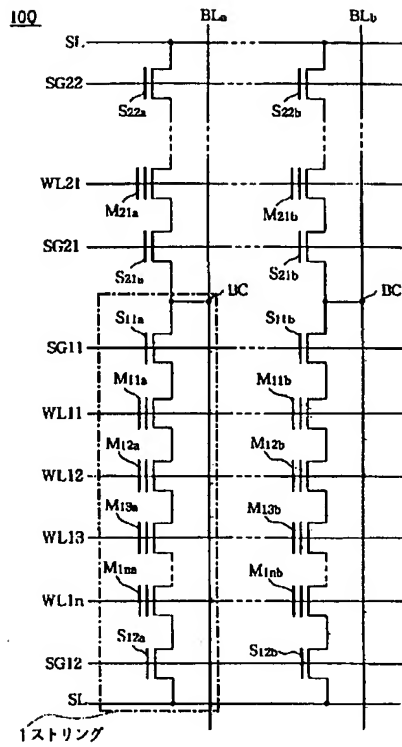
(g)



【図12】



【図 13】



【図 14】

